

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-293440

(43)Date of publication of application : 27.11.1989

(51)Int.Cl.

G06F 9/30

(21)Application number : 63-124271

(71)Applicant : ROHM CO LTD

(22)Date of filing : 20.05.1988

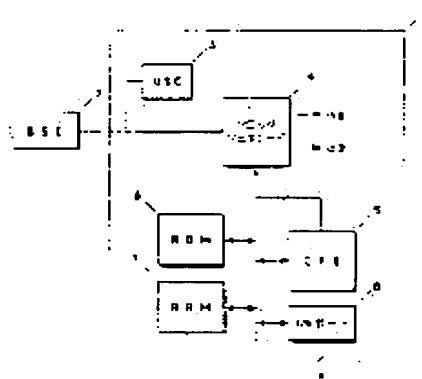
(72)Inventor : NAIKI TAKASHI

## (54) MICROCOMPUTER SYSTEM

### (57)Abstract:

**PURPOSE:** To execute processing to request a high speed processing at a high speed and to attain the time waiting of a long period of time with a small program capacity by providing a clock frequency switching means and a clock frequency switching instruction executing means and making variable the execution time of the time waiting routine including a special instruction in the time waiting routine.

**CONSTITUTION:** A clock frequency switching means 4 switches the clock frequency and a clock frequency switching instruction executing means 5 gives a control signal to execute the clock frequency switching by the execution of a special instruction. Consequently, when the special instruction is executed, it is switched to a clock frequency in accordance with the instruction thereafter. Thus, at the beginning of the time waiting routine, a special instruction to speed down into a clock frequency, the special instruction to speed up the clock frequency is inserted to the last of the time waiting routine, and thus, the time waiting routine is executed at a low speed and other processing can be executed at a high speed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

平1-293440

⑪ Int. Cl.<sup>4</sup>  
G 06 F 9/30識別記号  
3 3 0庁内整理番号  
B-7361-5B

⑬ 公開 平成1年(1989)11月27日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マイクロコンピュータシステム

⑮ 特 願 昭63-124271

⑯ 出 願 昭63(1988)5月20日

⑰ 発 明 者 内 貴 崇 京都府京都市右京区西院溝崎町21番地 ローム株式会社内  
⑱ 出 願 人 ローム株式会社 京都府京都市右京区西院溝崎町21番地  
⑲ 代 理 人 弁理士 小森 久夫

## 明 細 書

## 1. 発明の名称

マイクロコンピュータシステム

## 2. 特許請求の範囲

(1) クロック信号を発生するクロック信号発生回路と、時間待ちルーチンを含むプログラムを記憶するメモリと、このメモリの内容を読み出して実行するCPUを有するシステムにおいて、

クロックの周波数を切り替えるクロック周波数切替手段と、

特定命令の実行により前記クロック周波数切替手段に制御信号を与えるクロック周波数切替命令実行手段を備え、

前記時間待ちルーチンに前記特定命令を含めることによって時間待ちルーチンの実行時間を可変することを特徴とするマイクロコンピュータシステム。

## 3. 発明の詳細な説明

(a) 産業上の利用分野

この発明はメモリにストアされたプログラムを順次実行するマイクロコンピュータシステムに関する。

## (b) 従来の技術

一般に、ある電子機器において、マイクロコンピュータによって各種制御を行う場合、リアルタイム性が要求される限りほとんどの場合所定時間の時間待ちルーチンが必要となる。その時間は処理内容に応じて定められるが、たとえば4 bit マイクロコンピュータ等のように比較的小規模なマイクロコンピュータにおいては、特別なクイマ機能を持っていない場合が多いため、従来、このような時間を設定する方法として、無効命令(ノーオペレーション命令)またはそれに相当する無意味な命令を所定回数繰り返す方法や、レジスタまたはメモリ内の特定領域をループカウンタとして用い、一連の処理を所定回数繰り返す方法あるいは、これらを組み合わせる方法などが採られている。

例えば、B、C、Dからなるそれぞれ4ビット

の3つのレジスタをループカウンタとして用いたプログラムの例を次に示す。

```

L A B E L   I N C       B
              B R N C   L A B E L
              I N C       C
              B R N C   L A B E L
              I N C       D
              B R N C   L A B E L

```

このプログラムはアセンブリ言語で表した例であり、左欄はラベル欄、中央の欄はニーモニック欄、右欄はオペランド欄をそれぞれ示している。また、INCというニーモニックコードはオペランドとして示すレジスタの内容をインクリメント(+1)する命令であり、またBRNCというニーモニックコードはその手前でINC命令を実行した結果キャリーが発生しなければオペランドに示されている箇所(LABEL)へ分岐する条件付きジャンプ命令を示している。

このプログラムの実行に要する時間は次のようにして計算することができる。各レジスタのイン

クリメント命令の実行に要する基本サイクル数を4とし、条件付ジャンプ命令の分岐時の基本サイクル数を12、分岐しないときの基本サイクル数を7とし、B、C、Dの初期値を $B = C = D = 0$ とすれば、全体の基本サイクル数は

$$[( ( ( ( (4 + 12) \times 15 + 4 + 7) + 4 + 12) \times 15 + 4 + 7) + 4 + 12) \times 15 + 4 + 7 = 60491]$$

として求められる。そしてクロック周波数を仮に10KHzとすれば約6秒で処理が終了することとなる。

#### (c) 発明が解決しようとする課題

このようにループ回数を増大させることによって比較的長時間の時間待ちルーチンを構成することができるが、例えば数分や数十分といった更に長時間の時間待ちを行うためには非常に多くのステップ数を必要とし、メモリ容量に制約があるときには実現不可能であった。もちろんクロックの周波数を低くすれば全体の処理速度を遅くすることが可能であるが、時間待ちルーチン以外の主要な処理を高速で実行することができず、リアルタ

イム処理には適さない。

この発明の目的は、高速処理の要求される処理を高速で実行し、しかも少ないプログラム容量で長時間の時間待ちを可能としたマイクロコンピュータシステムを提供することにある。

#### (d) 課題を解決するための手段

この発明のマイクロコンピュータシステムは、クロック信号を発生するクロック信号発生回路と、時間待ちルーチンを含むプログラムを記憶するメモリと、このメモリの内容を読み出して実行するCPUを有するシステムにおいて、

クロックの周波数を切り替えるクロック周波数切替手段と、

特定命令の実行により前記クロック周波数切替手段に制御信号を与えるクロック周波数切替命令実行手段を備え、

前記時間待ちルーチンに前記特定命令を含めることによって時間待ちルーチンの実行時間を可変することを特徴としている。

#### (e) 作用

この発明のマイクロコンピュータシステムにおいては、クロック周波数切替手段はクロックの周波数を切り替え、クロック周波数切替命令実行手段は、特定命令の実行によりクロック周波数切替のための制御信号を与える。これにより、特定命令が実行されたなら、以降その命令に応じたクロック周波数に切り替えられる。したがって時間待ちルーチンの初めにクロック周波数に低速にするための特定命令を挿入し、時間待ちルーチンの最後にクロック周波数を高速にするための特定命令を挿入しておくことによって、時間待ちルーチンを低速で実行し、その他の処理を高速で実行することが可能となる。

#### (f) 実施例

第1図はこの発明の実施例であるマイクロコンピュータシステムのブロック図であり、図中1は1チップマイクロコンピュータ、2は基準周波数信号を発生する発振回路である。マイクロコンピュータ1は各部にクロック信号Φ1、Φ2を発生するクロックジェネレータ4、プログラムが予め

書き込まれているROM 6、その内容を順次読み出して実行するCPU 5、各種ワーキングエリアとして用いられるRAM 7、外部装置に対するI/Oポート8および外部に発振回路2を接続しない場合に用いられる内部発振回路3などから構成されている。ここで、発振回路2または内部発振回路3とクロックジェネレータ4はこの発明に係るクロック信号発生回路に相当し、また、後述するように、クロックジェネレータ4の一部がこの発明に係るクロック周波数切替手段に相当し、CPU 5の一部がこの発明に係るクロック周波数切替命令実行手段に相当している。

第2図は第1図に示した発振回路とクロックジェネレータの構成を具体的に表す回路図である。同図において9は発振回路2から出力される基準周波数信号を分周する分周回路であり、その初段、中段および最終段の各信号が用いられる。10、11、12はそれぞれラッチ回路であり、CPU 5から出力される制御信号SECL0、SECL1、SECL2の各信号をそれぞれラッチする

。13、14、15は分周回路9の各出力信号とラッチ回路10、11、12の各出力信号との論理積を求めるANDゲート、16はANDゲート13、14、15の論理和を求めるORゲートである。今例えば、信号SECL0が“H”レベルであり、SECL1およびSECL2が共に“L”レベルであり、その状態がラッチされているとき、ORゲート16の出力には分周回路9の最終段の信号CL0が出力される。また、信号SECL1が“H”、SECL0およびSECL2が共に“L”であってその状態がラッチされているなら、ORゲート16には分周回路9の中段信号CL1が出力される。同様に信号SECL2が“H”、SECL0およびSECL1が共に“L”であってその状態がラッチされているなら、ORゲート16には分周回路9の初段の信号CL2が出力される。このORゲート16の出力信号はタイミング信号発生回路17に供給され、ここでは2相のクロック信号φ1、φ2を発生する。

以上のようにクロックジェネレータを構成した

ことにより、CPUから発生される制御信号SECL0、SECL1、SECL2に応じてクロック信号φ1、φ2の周波数を切り替えることができる。この制御信号SECL0、SECL1、SECL2はCPUが特定命令を実行することにより発生されるものであり、これらの特定命令を時間待ちルーチンに含めることにより、その処理時間を広い範囲にわたって変えることができる。

第3図は上記マイクロコンピュータシステムに予め書き込まれているプログラムの一部を表すフローチャートである。ここで、n2は時間待ちルーチンの主要部であり、無効命令やループカウンタによるループ処理などから構成されている。また、n1、n3は特定命令であり、n1の実行により制御信号SECL0が発生され、第2図に示したラッチ回路10がセットされ、11、12がリセットされる。これによりクロック周波数は最も低い周波数に設定される。したがって時間待ち処理n2が低速で実行される。その後n3の実行により制御信号SECL2が発生されるため第2

図に示したラッチ回路12がセットされ、10、11がリセットされる。これによりクロック周波数は最も高い周波数に設定され、以降の処理はクロック周波数を切り替えるための特定命令が実行されるまで高速で実行が行われる。

上述した実施例ではクロックジェネレータとして基準周波数信号を分周する分周回路を設け、所定の分周信号を選択的に用いるように構成した例であったが、次に述べるようにクロックジェネレータに供給すべき基準周波数信号を選択的に切り替えるようにしてもよい。第4図はその場合のブロック図であり、図において21は単一または複数の発振回路により複数の基準周波数信号を発生する発振回路、22はその出力信号を選択的に切り替えてクロックジェネレータ23へ供給する切替ゲートである。これらの回路は1チップマイクロコンピュータ1の外部に設けられているため、切替ゲート22に対する制御信号はI/Oポート8から供給している。このような構成の場合、I/Oポート8から外部に対するデータの出力命令

(この発明に係る特定命令)を実行することによってクロック周波数を切り替えることができる。

なお、その他に基準周波数信号を発生する発振回路をCR発振回路として構成し、このCR定数を変えることによってクロック周波数を可変することも可能である。

#### (4) 発明の効果

以上のようにこの発明によれば、プログラム容量を殆ど増大させることなく、また全体の処理速度を低下させることなく長時間の時間待ちを行うことが可能となる。

#### 4. 図面の簡単な説明

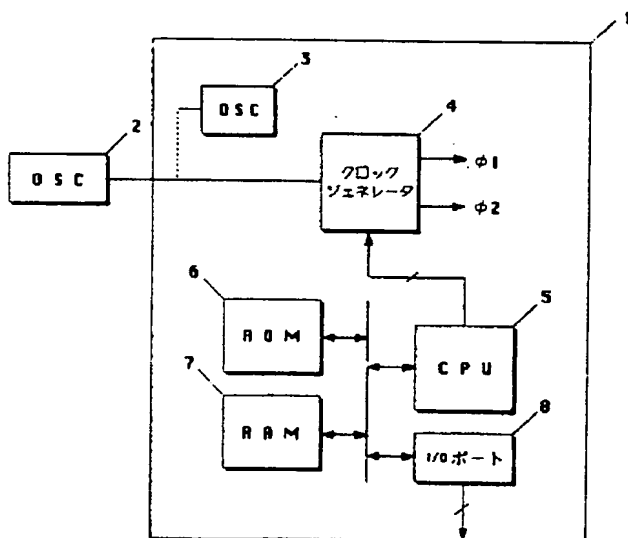
第1図はこの発明の実施例であるマイクロコンピュータシステムのブロック図、第2図は同システムの主要部の構成を表す回路図である。第3図は同システムの実行するプログラムの主要部を表すフローチャートである。第4図は他の実施例に係るマイクロコンピュータシステムのブロック図である。

- 1 - ワンチップマイクロコンピュータ、
- 2 - 発振回路、
- 9 - 分周回路。

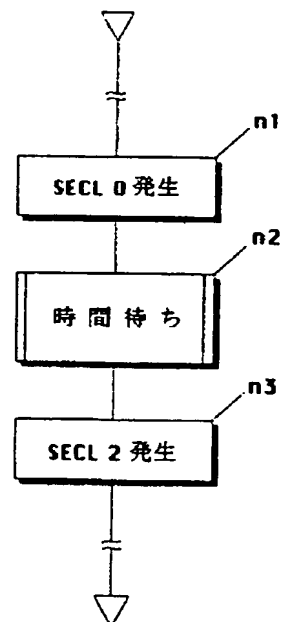
出願人 ローム株式会社

代理人 弁理士小森久夫

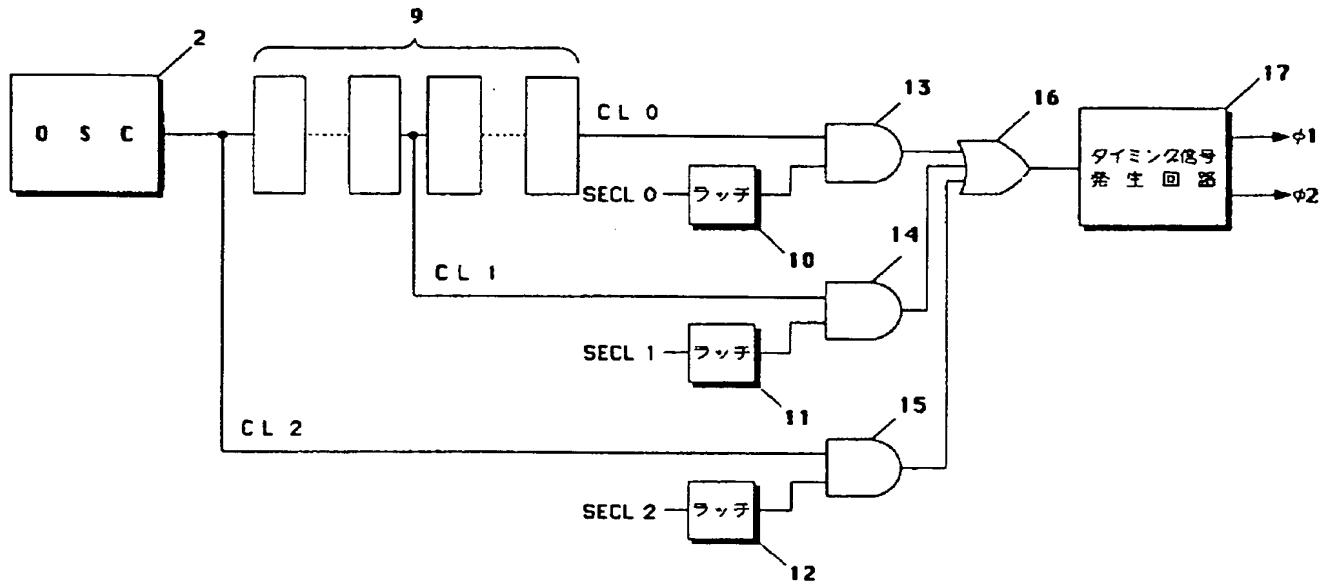
第1図



第3図



第2図



第4図

